第 26 卷 第 6 期
2011 年 12 月

天津科技大学学报
Journal of Tianjin University of Science & Technology

Vol.26 No. 6
Dec. 2011

基于 Matlab 的 Virtex-4 平台代码自动生成研究

杨伟明[1]，刘玉良[1]，刘丽辉[2]
（1. 天津科技大学电子信息与自动化学院，天津 300222；2. 天津医科大学总医院，天津 300052）

摘 要：在 Matlab 环境下，通过 Simulink 工具箱对 Virtex-4 平台建立系统模型，并进行软件仿真；再通过 System Generator 生成基于目标板的硬件协仿真文件，进行硬件仿真并与软件仿真的结果进行比较. 对系统模型进行验证，确定其满足设计要求后，通过 System Generator 生成该模型的 HDL 文件或网表，在 Xilinx 的 ISE 开发环境中进行调用，或者直接生成比特流文件下载到 Virtex-4 平台目标系统运行，观察代码执行情况. 结果表明，基于 Matlab 的代码自动生成方法可缩短软件设计开发周期，显著提高系统调试和产品升级的灵活性和可靠性.

关键词：Matlab； System Generator；Virtex-4；代码自动生成
中图分类号：R333.8 **文献标志码**：A **文章编号**：1672-6510(2011)06-0065-04

Study on Code Auto Generation In Virtex-4 Platform Based on Matlab

YANG Wei-ming[1], LIU Yu-liang[1], LIU Li-hui[2]
(1. College of Electronic Information and Automation, Tianjin University of Science & Technology, Tianjin 300222, China;
2. Tianjin Medical University General Hospital, Tianjin 300052, China)

Abstract: Based on Matlab a FIR Filer model was proposed. In the Matlab environment, the system model can be created and simulated by means of Simulink toolbox for Virtex-4 platform. The hardware co-simulation target file can be generated by System Generator. The hardware co-simulation results were compared with the software simulation results. If system model is validated and meet the design requirements, from this model we can generate HDL file or netlist which can be called in the Xilinx ISE, or generate a bitstream which can be directly run on Virtex-4 target platform. The experiments show that the automatic code generation method based on Matlab in Virtex-4 platform can shorten the development cycles and dramatically improve system debugging and the flexibility and reliability of product upgrading process.

Keywords: Matlab; System Generator; Virtex-4; code auto generation

鉴于软件工程化思想的引入和盛行，软件业发展潮流逐渐趋于工程化，流水化. 当前，基于统一建模语言 UML 及其支持标准框架 MDA(model-driven architecture)的代码自动生成技术[1−3]在电子系统开发中的应用日益广泛. 尽管没有代码生成工具也能开发电子系统软件，但是，利用软件代码自动生成技术可以大大加速软件的开发进度，提高软件代码的质量.

国外相关领域的研究开始比较早，已经有商业化的套件出售. 美国国家太空总署(NASA)的火星探路者航天器就是运用代码自动生成工具在 VxWorks 上开发应用程序的，所用的 MDD(model driven development)[4]开发环境 Rhapsody 已成为国防/航空航天领域的首选. 国内相关的代码自动生成研究刚刚起步，仅见到北京楚帆的 UMLCASE 开发工具面市，目前刚刚开始在多所高校免费试用.

随着 FPGA 的发展，各个 FPGA 厂家都开发了和 Matlab 接口的代码自动生成工具，这就使得直接在 Matlab 中生成 FPGA 操作软件[5]成为可能. 由于 FPGA 的最新发展已经集成了单片机和嵌入式系统的 IP 核，使得基于 Matlab 的 FPGA 目标系统代码自动生成也成为计算机软件领域新的研究热点之一.

本文在前期基于 MSP430 系列单片机软件代码快速生成[6−7]的基础上，尝试把基于 Matlab/Simulink

收稿日期：2011−08−28；**修回日期**：2011−10−08
基金项目：天津市高等学校科技发展基金资助项目(20080808)
作者简介：杨伟明（1980—），男，山东郓城人，实验师；**通信作者**：刘玉良，副教授，ylliu@tust.edu.cn.

仿真模型应用于基于 Virtex-4 FPGA 的系统软件开发过程中，以在 Matlab 环境下设计一个基于 Virtex-4 平台的 FIR Filter 为例，给出基于 Matlab 的 Virtex-4 平台的代码自动生成方法.

1　软硬件环境

1.1　Matlab/Simulink 工具箱

Simulink 是 Matlab[8]的重要工具箱之一，其主要功能是实现系统建模、仿真与分析，从而可以在实际系统制作出来之前，预先对系统进行仿真与分析，并可以对系统做适当的实时修正或者按照仿真的最佳效果来调整系统的参数，以提高系统的性能，减少系统设计过程中反复修改的时间，实现高效率地开发系统的目的.

在 Matlab/Simulink 可视化环境中，根据系统功能设计将 Xilinx 模块连接成所设计的系统模型，并定义合适的系统参数，而后运用 System Generator 将 Simulink 仿模型转换成硬件可执行模型，将系统定义的参数对应至硬件实现的实体以及输入输出端口，并能够自动完成综合、仿真与实现.

1.2　Virtex-4 平台目标系统

采用 Xilinx 公司的 Virtex-4 系列 FPGA 中的 SX25，其片内集成了一片 32 位的 MicroBlaze、4 个 DCM 模块、128 Xtreme DSP Slice、9 个 BANK、320 个 IO 管脚、128 个 18 kB 的 BLOCK RAM、2 560 个 Array、10 240 个 Slices 和 23 040 个 Logic Cells.

2　开发方法

基于 Xilinx 公司的 Virtex-4sx25 FPGA 的代码自动生成之前，首先在 Matlab 可视化开发环境中建立满足工程实际需要技术指标的 Simulink 模型[9]. 下面以设计一个 FIR Filter 为例，来说明代码自动生成方法.

2.1　模型设计

在 Matlab 环境下通过使用 System Generator 的 FDATool 模块来实现符合设计指标的 FIR Filter. 在 Simulink 环境下新建一个模型，并将 Xinlinx Blockset/Dsp/库中 FDATool 模块添加到窗口中，按照系统设计的参数在 FDATool 模块的参数对话框中输入参数，FDATool 滤波器频谱窗口则会更新，如图 1 所示. 查看生成的频谱，从通带频率、阻带频率、阻带衰减是否都满足设计要求.

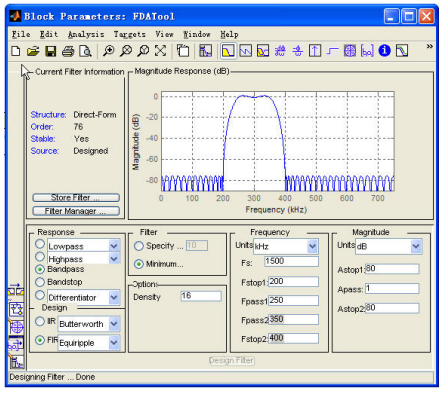

图 1　FDATool 带通 FIR 滤波器设计窗口

Fig.1　Design window of FIR Filter in FDATool

2.2　软件仿真

从Xilinx BlockSet/Dsp库中，将FIR（DA FIR V9_0）模块添加到模型窗口中，按照以下参数进行设计：

Coefficients：xlfda_numerator（'FDATool'）；

CoefficientStructure：InferredfromCoef…；

Number of bits Per Coefficients：12；

Binary Point for Coefficients：11；

Provide Valid Ports：unchecked.

添加 Signal Processing Blockset/Signal Processing Sources 库中 Chirp 模块、Signal Processing Blockset/Signal Processing Sinkss 库中 Spectrum 模块、Xilinx/Basic 库中 Gateway In 与 Gateway Out 模块到模型窗口中，连接各个模块如图 2 所示.

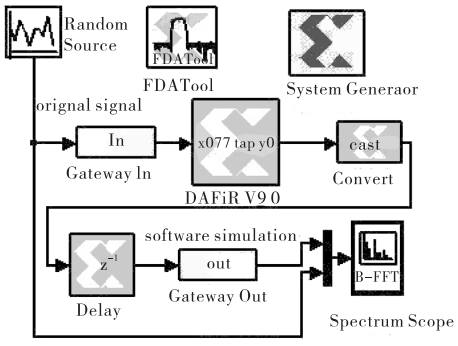

图 2　FIR Filter 仿真模型

Fig.2　FIR Filter simulation model

选择 Gateway In 模块，设置数据格式为 FIX_8_6，采样周期为1/1 500 000；选择Convert模块，设置输出数据格式为 FIX_8_6，并设置 Quantization 为 Truncate，Overflow 为 Wrap.

运行仿真，查看仿真结果是否正确.

2.3　软、硬件协同仿真

2.3.1　代码自动生成

在模型图中选择 System Generator[10]模块，按照

如下参数进行设置，Compilation：HDL Netlist、Part：Virtex4 xc4vssx25-10ff668、Synthesis Tool：XST、Target Directory：D：/../ise、CreateTestbench：Unchecked. 设置完成后，单击 Generate 按钮即可生成在Xilinx ISE开发环境中进行调用的工程文件.

2.3.2　软、硬件协同仿真

System Generator 提供硬件仿真接口，硬件仿真接口针对目标系统生成比特流模块. 当系统模型在 Simulink 中进行软件仿真的同时，比特流模块通过 JTAG 下载到目标平台上进行真实的硬件仿真. 在生成系统硬件协仿真模块之前，首先要确定在 System Gnenrator 中有支持目标平台的板级支持包. 通过 System Generator 设置窗口的 Compilation/Hardware Co_simulation 选择目标平台. 此选项中一般只有 ML402、MicroBlaze Multimedia Board、XtremeDsp Development Kit 三种硬件平台，所以用户必须使用 SBDBuild 工具生成支持目标平台的板级支持包，目标平台名称以 virtex 为例，在 System Generator 设置窗口中选择 Compilation/Hardware Co-simulation/ new Compilation Target…，在弹出的窗口中输入如下参数：在 Target Board Information 输入目标平台名称 virtex；在 System Clock 中输入目标平台的时钟引脚；Virtex-4[11]在目标平台上是 JTAG 链中的第二个设备，所以在 JTAG Options/Boundary Scan Position 中输入 2；给目标平台上电后单击 Detect 按钮，在 IR Length 中自动输入 8、10；在 Targetable Devices 加入目标平台使用的 FPGA. 设置完成后的窗口见图 3.

在图 3 中单击 Save Zip 按钮，调用代码生成器生成目标平台的板级支持包，把生成的文件存储在 D：\Matlab\toolbox\xilinx\sysgen\plugins\compilation\hareware co-simulation\virtex 文件夹下，生成 virtex.zip 文件，然后使用 Matlab 命令 xlInstallPlugin（'virtex.zip'），把支持目标平台的插件安装到系统中. 打开设计模型中的 System Generator 设置窗口，在 Compilation/Hardware Co_simulation 中选择目标平台 virtex，单击 Generator 按钮生成硬件协仿真模块，编译完成后会自动生成硬件协仿真模块. 该模块中不仅已包含模型设计的硬件代码，还包括附加的额外逻辑，在 PC 和硬件之间建立一个物理接口，保障 System Generator 和目标平台之间的双向通信，此外，设计中的特殊电路也包含在其中，如 DCM 模块、外部读写组件等. 在仿真期间，该硬件协仿真模块和所使用的 FPGA 目标平台交互，自动完成芯片配置、数据传输和时钟等任务. 一旦输入端口写入数据，协仿真模块自动将相应的数据发送到硬件中合适的位置，同样，如果在数据输出端口有数据变化，模块会自动将数据从硬件中取出.

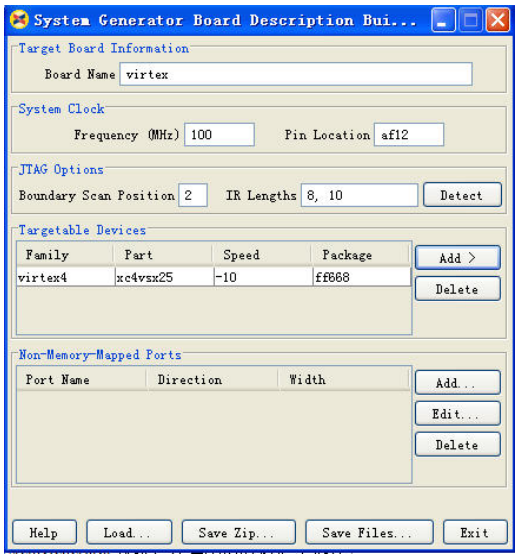

图 3　SBD Build 窗口

Fig.3　SBD Build window

3　结果与讨论

3.1　软件仿真结果

本系统的设计指标如下：模拟信号采样频率为 1.5 MHz，模拟信号的通带边缘频率为 $f_p = 250$ kHz，阻带边缘频率 $f_s = 350$ kHz，阻带衰减 $A_s = 80$ dB，在模型（图 2）中进行仿真，仿真结果见图 4.

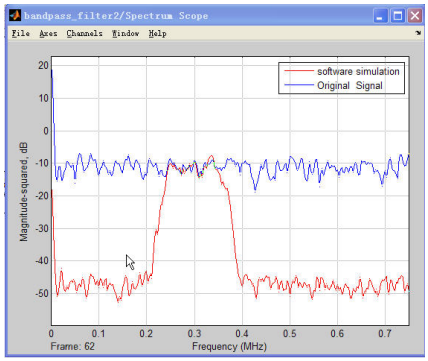

图 4　FIR Filter 软件仿真结果

Fig.4　Result of FIR Filter software simulating

查看仿真结果的波形图，确认从通带频率、阻带频率、阻带衰减都满足设计要求.

3.2　软、硬件协仿真结果

将硬件协仿真模块添加到仿真模型文件中，在该模块配置窗口中切换到 Cable 页面，选择 Xilinx Plat-

form USB 为下载电缆，并按照图 5 进行连接.

将 Xilinx JTAG(USB 型)下载电缆的 USB 端口与计算机的 USB 端口连接，将 JTAG 端连接到目标开发板的 JTAG 接口. 给目标开发板上电，开始仿真后 System Generator 会自动扫描链路并将比特文件下载到目标 FPGA 中.

打开 SCOPE 窗口查看仿真结果，图 6 显示软、硬件协仿真结果，经过对比会看到硬件协仿真结果同软件仿真结果几乎一致，表明系统模型设计正确.

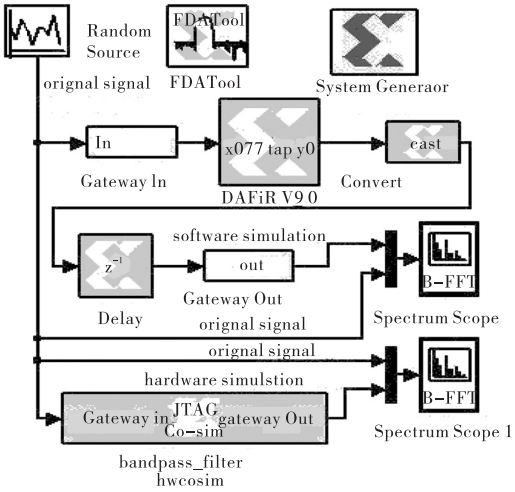

图 5　软、硬件协仿真模型

Fig.5　Software and hardware co-simulation model

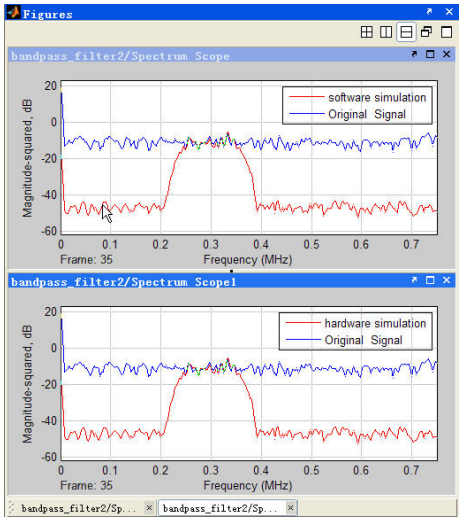

图 6　软、硬件协仿真结果

Fig.6　Result of software and hardware co-simulation

4　结　语

本文研究了运用 Matlab/Simulink 建模和仿真环境实现 Virtex-4 平台目标系统的软硬件仿真与代码自动生成，以设计一个 FIR Filter 为例说明代码自动生成方法.

基于 Matlab/Simulink 实现 FPGA 系统代码自动生成为 FPGA 系统的设计提供了一种有效的解决方案，可以使用户方便的穿梭于建模、仿真、验证与实施之间而无须重写代码或改变软件环境，使用户花费在编程与代码调试方面的时间显著减少.

参考文献：

[1] Selic Bran. Using UML for modeling complex real-time systems[J]. Lecture Notes in Computer Science, 1998, 1474: 250–272.

[2] Basso, F P, Oliveira T C, Becker L B. Using the FOMDA approach to support object-oriented real-time systems development[C]//Proceedings of Ninth IEEE International Symposium on Object-Oriented Real-Time Distributed Computing, ISORC 2006. Piscataway: IEEE, 2006: 374–381.

[3] Lu Shourong, Halang W A, Zhang Lichen. A component-based UML profile to model embedded real-time systems designed by the MDA approach[C]//Proceedings of 11th IEEE International Conference on Embedded and Real-Time Computing Systems and Applications. Piscataway: IEEE, 2005: 563–566.

[4] 李晋，战德臣，聂兰顺，等. 支持模型驱动式软件开发的建模语言框架研究[J]. 南京大学学报：自然科学版，2010，46(4)：464–475.

[5] 花良发，万士保，魏祥生. 基于 Matlab 设计信号处理 FPGA 模块[J]. 信息技术，2010(10)：41–44.

[6] 刘玉良，贾子申，刘丽辉，等. 基于 MSP430 单片机的软件代码快速开发[J]. 天津科技大学学报，2010，25(3)：61–65.

[7] 刘玉良，李刚，康凯. 基于 MATLAB 的嵌入式系统软件开发[J]. 天津大学学报，2008，41(5)：593–596.

[8] 李颖，薛海滨，朱伯立，等. Simulink 动态系统建模与仿真[M]. 2 版. 西安：西安电子科技大学出版社，2009.

[9] 刘建成，邹应全，徐伟. 基于 FPGA 的 FIR 滤波器设计与仿真[J]. 南京信息工程大学学报：自然科学版，2010，2(5)：400–404.

[10] Juergen Wassner, Christoph Eck. 深入了解赛灵思 System Generator 中的时间参数[J]. 电子设计应用，2009(12)：37–40.

[11] 廖华，王祝金，颜军. Virtex4 系列 FPGA 开发平台设计[J]. 航天控制，2009，27(1)：75–79.