



低耗能流水线模数转换器的运算放大器设计与仿真

孙 佳¹, 李玲玲², 杨世凤²

(1. 瑞典隆德大学工程学院, 瑞典 SE-22100; 2. 天津科技大学电子信息与自动化学院, 天津 300222)

摘要: 基于 0.13 μm 工艺, 设计一个用于 1.2 V 低电压电源的 10 比特 83MSPS 流水线模数转换器的两级运算放大器. 该放大器采用折叠共源共栅为第一级输入级结构, 共源为第二级输出结构. 详细介绍了运算放大器的设计思路、指标确定方法及调试中遇到的问题 and 解决方法. 模拟结果显示: 该运算放大器开环直流增益可达 79.25 dB, 在负载电容为 2 pF 时的单位增益频率达到 838 MHz, 在 1.2 V 低电压下输出摆幅满足设计要求, 高达 1 V, 满足了 10 比特低电压高精度模数转换器的要求.

关键词: 流水线模数转换器; 低功耗; 两级运算放大器

中图分类号: TJ510.1 文献标志码: A 文章编号: 1672-6510(2011)02-0056-05

Design and Consideration of Low Power Operational Amplifier Implemented in Pipeline ADC

SUN Jia¹, LI Ling-ling², YANG Shi-feng²

(1. Faculty of Engineering, LTH, Lund University, Lund SE-22100, Sweden;

2. College of Electronic Information and Automation, Tianjin University of Science & Technology, Tianjin 300222, China)

Abstract: Based on 0.13 μm technology a two-stage operational amplifier was designed which is used to 10-bit 83MSPS pipelined ADC of 1.2 V low-voltage power. The amplifier used a folded-cascode as first input stage, and common source as second output stage. The design procedure of the operational amplifier, parameter setting methods, simulation problems and solutions were introduced. Analogy simulation shows that, the open loop DC gain of the operational amplifier is 79.25 dB, and the unity gain frequency is 838 MHz when the load capacitance is 2 pF. In the low voltage of 1.2 V, output swing meets the design requirements, and up to 1 V, it fulfills the requirement of ADC which is 10-bit low-voltage, high speed and high precision.

Keywords: pipeline ADC; low power; two stage operational amplifier

近年来, 在生物科学、空间技术、电池供电设备以及各种高阻抗传感器等飞速发展的推动下, 低压低功耗电路已成为集成电路的重要发展方向之一. 采用低电压供电的电路不但能减少电路的功耗, 而且能增强电路的稳定性. 因此, 低功耗乃至在低功耗芯片的研制和生产日益得到研究机构和生产部门的关注^[1-3].

精度 10 比特及以上的高速流水线模数转换器广泛应用于数字视频和通信系统中. 对精度和速度无止境的追求是推动集成电路发展的动力, 流水线模数转换器 (ADC) 以其高速度高精度低功耗的优点得到广泛的应用. 在当今低电压、低功耗、低成本、小晶体

管尺寸的集成电路发展趋势下, 对 ADC 精度和速度提出了更高的要求^[4-6].

本文基于超深亚微米工艺, 设计了一个折叠共源共栅两级放大器, 给出了设计思路、指标确定方法、手工计算步骤.

1 运算放大器结构选择

运算放大器是开关电容电路的核心, 它的直流开环增益、相位裕度、单位增益带宽、转换速率等参数都直接影响 ADC 的性能, 是 ADC 电路设计的关键^[7].

运用套筒式共源共栅、折叠共源共栅、增益自举的单级放大器和多极放大器都可以达到很高的开环直流增益. 因为有大量的 MOS 管在低电源电压 1.2 V 和地之间串联, 且在低电源电压下为得到大的信噪比, 运放的输出摆幅要尽可能的大, 故设定运放的差分输出摆幅为 1 V, 上述的单极运算放大器比较难达到低电源电压下大输出摆幅的要求, 而采用共源的第二级输出结构可达到大输出电压摆幅.

两级运放的输入级通常有套筒式共源共栅和折叠共源共栅两种结构形式. 套筒式结构具有频率特性好、功耗低等特点, 然而在低电源电压下, 用折叠共源共栅结构作为第一级的输出端则较有优势.

若 PMOS 作为放大器的输入管, 运放具有较低的噪声和较高的次级点频率, 但开环直流增益较小. 因为采用两级运算放大器结构, 对直流增益和单位增益带宽指标做折中考虑, 本文采用 PMOS 折叠共源共栅结构作为输入级和共源的第二级输出结构, 如图 1 所示. 为保证运放的稳定性, 采用串联电阻的米勒电路补偿法以消除零点.

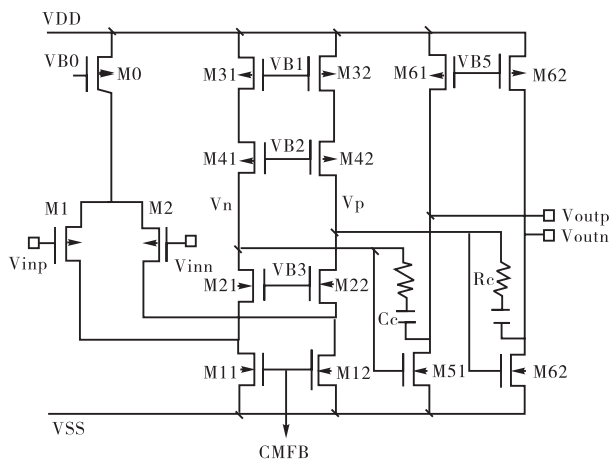


图 1 折叠共源共栅两级放大器

Fig.1 Two-stage amplifier of folded cascode

2 运算放大器性能参数指标的确定

2.1 开环直流增益

开环直流增益限定输出精度, N 比特模数转换器输出端的总误差不能超过 $LSB/2$, 即

$$\varepsilon_{tot} < 1/2^{N+1} = 2^{-11}$$

$$\varepsilon_{tot} = 1/(1+fA_0)$$

式中: $f=0.5$; $N=10$. 可得 $A_0 > 4\ 094$, 开环直流增益=72.3 dB

2.2 信噪比

10 比特流水线结构模数转换器的信噪比为

$$SNR = 6.02N + 1.76 = 6.02 \times 10 + 1.76 = 62 \text{ dB}$$

2.3 转换速率和单位增益带宽

开关电容电路总的建立时间是经过一段非线性区的转换时间然后经过线性建立时间. 采样时钟频率 $F_s=83 \text{ MHz}$, 周期 $T=12 \text{ ns}$, 实际上开关电容电路用于保持的时间小于半个周期, 分配 4.9 ns 用于开关电容电路的总建立时间. 非线性区的转换时间占总建立时间的 1/4, 线性建立时间为 3/4.

$$\text{非线性转换时间} = \frac{1}{4} \times 4.9 \text{ ns} = 1.225 \text{ ns}$$

$$\text{线性建立时间} = \frac{3}{4} \times 4.9 \text{ ns} = 3.675 \text{ ns}$$

转换速率 SR 的确定方法: 当运放在闭环增益为 1, 将其连接成跟随器, 保持这种状态下, 输出端加入一个最大信号 0.25 V 的阶跃输入, 运放的输出端在非线性区转换时间 1.225 ns 内必须达到 0.25 V.

$$SR = \frac{0.25 \text{ V}}{1.225 \text{ ns}} = 204 \text{ MV/s}$$

开关电容电路, 输出要求在有限时间内建立到被给定的精度. 信号建立以后的稳定精度由流水线 ADC 的位数 N 决定.

$$\text{稳定精度} > 1/2^{N+1} = 0.05\%, N=10,$$

$$e^{-t/\tau} \leq 1/2^{N+1}$$

可得稳定精度响应时间 $t_p \geq \tau \ln 2^{N+1}$.

线性建立时间必须大于或等于稳定精度响应时间, 即

$$3.675 \text{ ns} \geq \tau \times \ln 2^{N+1}$$

$$\text{其中: } \tau = \frac{1}{f\omega_u}, f=0.5.$$

单位增益带宽

$$\omega_u \geq \frac{\ln 2^{N+1}}{f \times 3.675 \text{ ns}} = 669 \text{ MHz}$$

2.4 相位裕度

当相位裕度等于 60° , 开关电容电路输出的阶跃响应出现小的减幅振荡的现象, 可提供快速稳定问题, 对于更大的相位裕度, 系统更加稳定但响应时间长, 所以设定该放大器的相位裕度为 60° .

2.5 放大器的补偿电容和采样保持电路取样电容

在流水线模数转换器电路中, 热噪声主要来源于开关电容电路中放大器的噪声和电容的噪声.

第 0 级由电容产生的 KT/C 噪声为

$$\frac{V_{nKT/C, in, 0}^2}{2} = \frac{V_{nKT/C, out, 0}^2}{A_0^2} \approx \frac{2KT}{C_s}$$

第1~9级MDAC由电容产生的KT/C噪声为

$$\frac{\ln 2^{N+1}}{f \times 3.675 \text{ ns}}$$

整个流水线结构输入端等效的KT/C噪声为

$$\overline{V_{nKT/C, \text{in}, \text{tot}}^2} = \overline{V_{nKT/C, \text{in}, 0}^2} + \frac{\overline{V_{nKT/C, \text{in}, 1}^2}}{G_0^2} + \frac{\overline{V_{nKT/C, \text{in}, 2}^2}}{G_0^2 G_1^2} + \dots + \frac{\overline{V_{nKT/C, \text{in}, 8}^2}}{G_0^2 G_1^2 G_2^2 \dots G_7^2} = 3.5KT/C_s$$

式中 G_i 是每级的增益, $G_0=1, G_1 \sim G_7=2$.

开关电容电路中由放大器产生的噪声为

$$\begin{aligned} \overline{V_{\text{nop}, \text{out}, 0}^2} &= 2 \left[\frac{2KT}{3C_c f} \left(1 + \frac{g_{M31} + g_{M11}}{g_{M1}} \right) \right] = \left[\frac{4KT}{3C_c} \left(1 + \frac{g_{M31} + g_{M11}}{g_{M1}} \right) \right] \\ \overline{V_{\text{nop}, \text{out}, i}^2} &= 2 \left[\frac{2KT}{3C_c f} \left(1 + \frac{g_{M31} + g_{M11}}{g_{M1}} \right) \right] = \left[\frac{8KT}{3C_c} \left(1 + \frac{g_{M31} + g_{M11}}{g_{M1}} \right) \right] \\ \overline{V_{\text{nop}, \text{in}, \text{tot}}^2} &= \frac{\overline{V_{\text{nop}, \text{out}, 0}^2}}{G_0^2} + \frac{\overline{V_{\text{nop}, \text{out}, 1}^2}}{G_0^2 G_1^2} + \frac{\overline{V_{\text{nop}, \text{out}, 2}^2}}{G_0^2 G_1^2 G_2^2} + \dots + \frac{\overline{V_{\text{nop}, \text{out}, 8}^2}}{G_0^2 G_1^2 G_2^2 \dots G_8^2} \approx \frac{4}{3} \times 1.7 \times \frac{KT}{C} \times \left(1 + \frac{g_{M31} + g_{M11}}{g_{M11}} \right) \approx 4.534 \frac{KT}{C_c} \end{aligned} \quad (1)$$

其中 $f=0.5$.

设 $\frac{g_{M11}}{g_{M1}} = \frac{g_{M31}}{g_{M1}} = \frac{1}{2}$

流水线ADC输入端等效总噪声为

$$\overline{V_{n, \text{tot}}^2} = \overline{V_{nKT/C, \text{in}, \text{tot}}^2} + \overline{V_{\text{nop}, \text{in}, \text{tot}}^2} = \frac{3.5KT}{C_s} + \frac{4.534KT}{C_c} \quad (2)$$

由流水线ADC的信噪比和等效总噪声公式可得

$$SNR = 66 \text{ dB} = 10 \log \left(\frac{V_{m, \text{FS}}^2}{V_{n, \text{tot}}^2} \right) \quad (3)$$

由式(1)—式(3)可得到

$$C_s = 0.73 \text{ pF}$$

$$C_c = 1.85 \text{ pF}$$

经以上运算,得到运算放大器性能参数(表1).

表1 运算放大器性能参数指标

Tab.1 Performance parameter index of operational amplifier

性能参数	数值
电源电压/V	1.2
输入输出摆幅/V	1
开环直流增益/dB	≥ 72.3
信噪比(SNR)/dB	≥ 62
转换速率(SR)/(MV·s ⁻¹)	≥ 204
单位增益带宽(ω_u)/MHz	≥ 669
相位裕度/(°)	≥ 60
负载电容 C_L /pF	≥ 1.85
采样电容 C_s /pF	≥ 0.73

3 放大器尺寸计算

为了计算放大器晶体管尺寸,将设定的性能参数指标取一些余量:

$$SNR=66 \text{ dB}, \omega_u=720 \text{ MHz}, SR=220 \text{ MV/s}, C_c=2 \text{ pF}, C_s=0.8 \text{ pF}$$

3.1 输入晶体管跨导 g_{M1} 的确定

由密勒补偿放大器的单位增益带宽 $\omega_u=g_{M1}/C_c$,可以推导出输入晶体管 M_1 的跨导

$$g_{M1} = \omega_u C_c = 2\pi \times 720 \text{ MHz} \times 2 \text{ pF} = 9.2 \text{ mA/V}$$

取 $g_{M1}=10 \text{ mA/V}$.

3.2 放大器主要工作电流的确定

$$I_1 = SR \times C_c = 440 \text{ } \mu\text{A}$$

取 $I_1=500 \text{ } \mu\text{A}$,得到

$$I_{31} = 1.2 I_1 = 600 \text{ } \mu\text{A}$$

$$I_{11} = 2.2 I_1 = 1.1 \text{ mA}$$

$$I_{\text{tail}} = 2 I_1 = 1 \text{ mA}$$

设 C_{GS} 为运放输入端的栅漏电容, C_f 和 C_s 为开关电容电路的采样和保持电容, C_{comp} 和 C_{op} 为在输出端的下一级开关电容电路中由比较器和放大器引起的电容.可以得到,流水线ADC中每级输出端等效的负载电容为

$$C_{L, T0} = \frac{C_s \times C_{GS}}{C_s + C_{GS}} + C_{\text{op}} + (C_f + C_s) + C_{\text{comp}} = 2.1 \text{ pF}$$

$$C_{GS} = 0.4 \text{ pF}$$

$$C_{\text{op}} + C_{\text{comp}} = 0.2 \text{ pF}$$

所以

$$I_{S1} = SR \times (C_c + C_{L, T}) = 0.9 \text{ mA}$$

取 $I_{S1}=1 \text{ mA}$.

3.3 晶体管跨导 g_{M51} 的确定

根据经验,对于一个两极点、一个右半平面的系

统,当零点在 10 倍单位增益带宽之外,第二个极点在 2.2 倍的单位增益带宽之外时,相位裕度为 60°。由此可得

$$\omega_{p2} = 2.2\omega_u$$

$$\omega_z \geq 10\omega_u$$

因为 $\omega_{p2} = \frac{g_{M51}}{C_{L,T}}$, $\omega_u = \frac{g_{M1}}{C_c}$

所以

$$g_{M51} = 2.2g_{M1} \times \frac{2.1 \text{ pF}}{2 \text{ pF}} = 23.1 \text{ mA/V}$$

取 $g_{M51} = 24 \text{ mA/V}$ 。

3.4 晶体管参数的手工计算

宽长比 $(\frac{W}{L})_1 = \frac{g_{M1}^2}{2k_p I_{D1}} = \frac{185.7}{0.13}$

$$V_{dsat1} = \frac{2I_{D1}}{g_{M1}} = 100 \text{ mV}$$

$$V_{SG1} = V_{dsat1} + V_{THP} = 0.1083 + 0.35 = 0.4583 \text{ V}$$

$$V_{SG1} = V_{dsat1} + V_{THP} = 0.45 \text{ V}$$

$$V_{S1} = V_{CM} + V_{SG1} = 0.45 + 0.45 = 0.9 \text{ V}$$

$$V_{SD0} = V_{DD} - V_{S1} = 1.2 - 0.9 = 0.3 \text{ V}$$

取 $V_{dsat0} = 0.2 \text{ V}$

$$(\frac{W}{L})_0 = \frac{2I_{tail}}{k_p V_{dsat0}^2} = \frac{92.8}{0.13}$$

$$(\frac{W}{L})_{51} = \frac{g_{M51}^2}{2k_n I_{D51}} = \frac{170.2}{0.13}$$

用以上类似的计算方法,可以得其余晶体管的参数为

$$(\frac{W}{L})_{61} = \frac{23.2}{0.13}$$

$$(\frac{W}{L})_{11} = \frac{24.6}{0.13}$$

$$(\frac{W}{L})_{21} = \frac{71}{0.13}$$

$$(\frac{W}{L})_{41} = \frac{55.7}{0.13}$$

$$(\frac{W}{L})_{31} = \frac{8.76}{0.13}$$

$$\omega_z = \frac{-1}{C_c (\frac{1}{g_{M52}} - R_c)} \geq 10 \frac{g_{M1}}{C_c}$$

$$R_c = 52 \Omega$$

$$V_{dsatRC} = V_{gsRC} - V_{thn} = (V_{DD} - V_{gs51}) - V_{thn} = (1.2 - 0.3833) - 0.3 = 0.5167 \text{ V}$$

$$\left(\frac{W}{L}\right)_{RC} = \frac{1}{\mu_n C_{ox} R_c V_{dsatRC}} = \frac{22}{0.13}$$

4 仿 真

基于前文的分析和计算,设计出第一级为折叠共源共栅结构,第二级为共源结构的两级全差分放大器.用 Cadence 对电路进行模拟仿真,并采用标准 0.13 μm CMOS 工艺模型,1.2V 电源电压.性能指标如图 2—图 5 所示,模拟放大器的开环直流增益为 79.25 dB,交流增益为 73.95 dB,在 2.1 pF 的负载电容下单位增益带宽为 838.365 MHz,相位裕度为 60°,转换速度为 519.94 MV/s,输出摆幅为 1 V.运放的建立时间直接决定了在有限时间内能否采样得到需要的精度,测量出建立时间为 3.936 1 ns.该放大器整体工作性能良好,完全满足了 1.2 V 低电源电压 10 比特 83MSPS 流水线模数转换器的要求.与传统结构相比,此结构在保证增益、带宽等放大器重要指标的基础上,功耗显著降低,非常适合于低压低功耗应用.

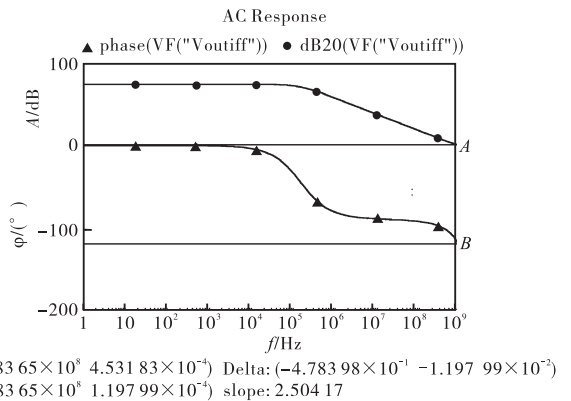


图 2 放大器频率响应曲线

Fig.2 Response curve of amplifier frequency

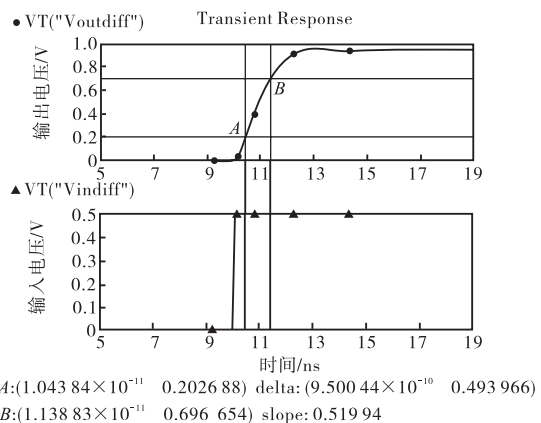


图 3 放大器转换速率测量结果

Fig.3 Slew rate measurements of amplifier

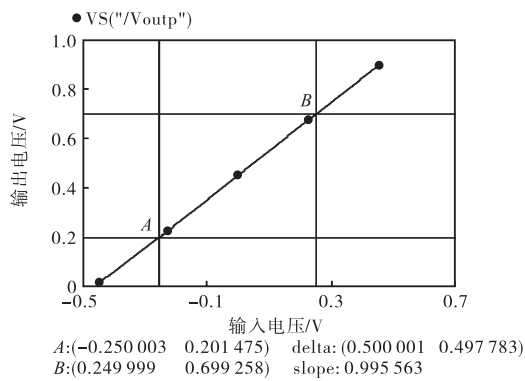


图4 放大器输出摆幅测量结果

Fig.4 Output swing measurement of amplifier

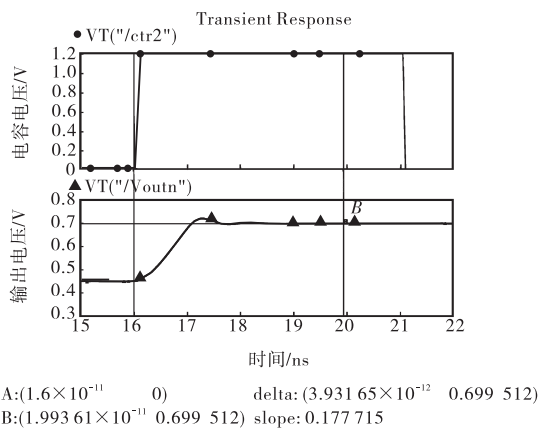


图5 放大器在开关电容电路中建立时间的测量结果

Fig.5 Settling time measurement of amplifiers in switched-capacitor circuit

5 结 语

本文基于 0.13 μm 工艺,设计应用于 1.2 V 低电

源电压 10 比特 83MSPS 流水线模数转换器的两级运算放大器. 运算放大器采用折叠共源共栅为第一级输入级结构,共源的二级输出结构,该 ADC 达到了 10 比特 83MSPS 的设计性能,实现了低功耗的设计目的. 仿真结果显示,该运放在低电压,高摆幅输出要求下有着较高的增益和单位增益频率,满足了运算放大器在开关电容放大器电路的精度和速度的要求,具有良好的性能.

参考文献:

[1] 谭璐. 3.3 伏、100 兆采样频率、10 比特流水线结构模数转换器的设计和低功耗实现 [D]. 上海:复旦大学, 2006.

[2] 林占江. 电子测量技术 [M]. 2 版. 北京:电子工业出版社, 2007.

[3] 程春来,柴常春,唐重林. 一种低压低功耗 CMOS 折叠共源共栅运算放大器的设计 [J]. 中国集成电路, 2007, 16(9):40-44.

[4] 闻卫军,王磊,孙海英. 数字滤波器滤除电子测量系统中工频及其谐波干扰的研究 [J]. 现代电子技术, 2005, 28(9):58-59,64.

[5] de Langen K J, Huijsing J H. Compact low-voltage power efficient operational amplifier cells for VLSI [J]. IEEE Journal of Solid-State Circuits, 1998, 33(10):1482-1496.

[6] 朱正涌. 半导体集成电路 [M]. 北京:清华大学出版社, 2001.

[7] Behzad Razavi. Design of Analog CMOS Integrated Circuits [M]. New York: The McGraw-Hill Companies, Inc, 2001.